

DERWENT-ACC-NO: 1994-179552

DERWENT-WEEK: 199422

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Prodn. of semiconductor for IC - comprises treating semiconductor wafer on electrode with plasma so that electrostatic capacity around element is reduced

PATENT-ASSIGNEE: HITACHI LTD[HITA] , HITACHI TOKYO ELECTRONICS CO[HITN]

PRIORITY-DATA: 1992JP-0270114 (October 8, 1992)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES
MAIN-IPC			
JP 06120140 A	April 28, 1994	N/A	006
H01L 021/203			

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 06120140A	N/A	1992JP-0270114	October 8, 1992

INT-CL (IPC): C23C014/44, H01L021/203 , H01L021/285 , H01L021/302 , H01L021/31

ABSTRACTED-PUB-NO: JP 06120140A

BASIC-ABSTRACT:

Prodn. comprises treating a semiconductor wafer laid on an electrode with plasma in a treating chamber in so that the electrostatic capacity round the semiconductor wafer is reduced. An electrostatic capacity adjuster may be positioned round the wafer.

USE/ADVANTAGE - Used for mfg. semiconductor ICs.

CHOSEN-DRAWING: Dwg.1/6

DERWENT-CLASS: L03 U11

CPI-CODES: L04-C26;

EPI-CODES: U11-C05C2;

----- KWIC -----

Basic Abstract Text - ABTX (1):

Prodn. comprises treating a semiconductor wafer laid on an electrode with plasma in a treating chamber in so that the electrostatic capacity round the semiconductor wafer is reduced. An electrostatic capacity adjuster may be positioned round the wafer.

Title - TIX (1):

Prodn. of semiconductor for IC - comprises treating semiconductor wafer on electrode with plasma so that electrostatic capacity around element is reduced

Standard Title Terms - TTX (1):

PRODUCE SEMICONDUCTOR IC COMPRISE TREAT SEMICONDUCTOR WAFER ELECTRODE
PLASMA SO ELECTROSTATIC CAPACITY ELEMENT REDUCE

(11)特許出願公開番号

特開平6-120140

(43)公開日 平成6年(1994)4月28日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/203		S 8422-4M		
C 2 3 C 14/44		9046-4K		
H 0 1 L 21/285		S 9055-4M		
21/302		C 9277-4M		
21/31		C		

審査請求 未請求 請求項の数 4 (全 6 頁)

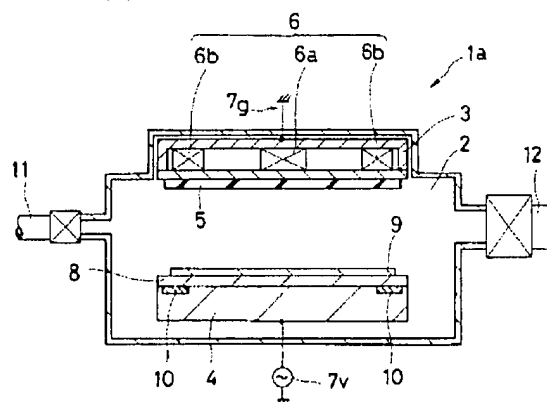
(21)出願番号	特願平4-270114	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成4年(1992)10月8日	(71)出願人	000233505 日立東京エレクトロニクス株式会社 東京都青梅市藤橋3丁目3番地の2
		(72)発明者	貫井 利男 東京都青梅市藤橋3丁目3番地2 日立東京エレクトロニクス株式会社内
		(74)代理人	弁理士 筒井 大和

(54)【発明の名称】 半導体製造方法および装置

(57) 【要約】

【目的】 プラズマ処理装置を大型とすることなく、プラズマ処理装置の構造を複雑とすることなく、また、放電パワー密度を低減させることなく、プラズマ処理による半導体ウエハ面内の加工均一性を向上させる。

【構成】 ＲＤバイアススハツタリング装置 1 a のアノード電極 4 において、半導体ウエハ 9 の外周位置に、アノード電極 4 よりも低誘電率の材料からなり、半導体ウエハ 9 の外周よりも大きな外周を有し、かつ、半導体ウエハ 9 の外周よりも小さな内周を有する静電容量可変手段 10 を設け、半導体ウエハ 9 の面内の静電容量がプラズマ処理に際して均一となるようにした。



- 1 a: R/Dバイアススパッタリング装置(半導体製造装置)
2: 処理室
3: カソード電極(対面電極)
4: アノード電極(基板電極)
7 v: 高周波電源(第1電源)
7 g: GND電源(第2電源)
9: 半導体ウエハ
10: 静電容量可変手段

【特許請求の範囲】

【請求項1】 処理室内にプラズマを形成することにより、前記処理室内の基板電極上に載置された半導体ウエハに対して所定のプラズマ処理を施す際に、前記半導体ウエハの周辺の静電容量を低減する状態でプラズマ処理を行うことを特徴とする半導体製造方法。

【請求項2】 処理室内にプラズマを形成することにより、前記処理室内の基板電極上に載置された半導体ウエハに対して所定のプラズマ処理を施す半導体製造装置であって、前記所定のプラズマ処理中に半導体ウエハの外周の静電容量を低減するために、前記半導体ウエハの外周位置に半導体ウエハの外周よりも大きな外周を有するとともに、半導体ウエハの外周よりも小さな内周を有する静電容量可変手段を設けたことを特徴とする半導体製造装置。

【請求項3】 前記静電容量可変手段を着脱自在としたことを特徴とする請求項2記載の半導体製造装置。

【請求項4】 半導体ウエハを載置する基板電極と、前記基板電極に対して平行に対向する対向電極とを処理室内に備え、前記基板電極に対して負のバイアス電位を供給する第1電源と、前記対向電極に対して前記負のバイアス電位よりも高い負のバイアス電位を供給する第2電源とを有する半導体製造装置であって、前記半導体ウエハの外周の静電容量を低減するために、前記半導体ウエハの外周位置に、半導体ウエハの外周よりも大きな外周を有するとともに、半導体ウエハの外周よりも小さな内周を有する静電容量可変手段を設けたことを特徴とする半導体製造装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体製造方法および装置技術に関し、特に、プラズマ処理を用いる半導体製造方法および装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】半導体集積回路装置の製造プロセスでは、プラズマ化学反応を応用した種々のプラズマ処理が実施されている。例えばプラズマを用いたエッチング処理や成膜処理等は、半導体集積回路装置の製造技術として既に定着している。

【0003】プラズマ処理は、反応ガスを減圧下で放電することにより、常圧下では安定に得られない電子、イオンおよびラジカル等のような反応種を発生させ、所定の化学反応を促進させて、上述のエッチング処理や成膜処理を行う技術である。

【0004】したがって、低温プロセスやドライプロセス等を実現でき、半導体集積回路装置を製造する上で非常に好ましい技術である。

【0005】プラズマを用いるエッチング装置または成膜装置には種々の構造があるが、基本的な構造として

は、処理室内に互いに平行する平板状の2枚の電極を設置し、一方の電極に半導体ウエハを載置する構造となっている。そして、処理に際して、その2枚の電極間に所定の電圧を印加することにより、処理室内に導入されている反応ガスを放電し、プラズマを形成する構造になっている。

【0006】

【発明が解決しようとする課題】ところが、上記従来の技術においては、以下の問題があることを本発明者は見出した。

【0007】すなわち、半導体ウエハが大口径になるにつれ、半導体ウエハ面内におけるプラズマ処理による形成膜厚の均一性や半導体ウエハ面内におけるプラズマ処理によるエッチング膜厚の均一性（以下、加工均一性ともいう）を要求通りに確保することが困難であるという問題があった。

【0008】例えばバイアススパッタリング装置においては、半導体ウエハの周辺部分におけるスパッタリング速度が、半導体ウエハの中央部分よりも異常に速くなる現象がある。これは、半導体ウエハの周辺においては、半導体ウエハの中央よりも静電容量が大きくなり、電界強度が高くなる結果、プラズマ密度が高くなることに起因する。

【0009】そこで、その膜厚の均一性を確保する従来技術として、例えば半導体ウエハを載置する電極を大面積とする技術がある。しかし、この場合、プラズマ処理装置が大型となるとともに、放電パワー密度低減に起因してプラズマ処理速度が遅くなり、スループットが低下する問題があった。

【0010】また、その膜厚の均一性を確保する従来技術として、例えば特開平1-109725号公報には、プラズマドライエッチング装置において、半導体ウエハを載置する電極の周囲に、電界補正用環状体を設置する技術がある。しかし、この場合、プラズマ処理装置が大型となるとともに、プラズマ処理装置の構造が複雑となる問題があった。

【0011】本発明は上記課題に着目してなされたものであり、その目的は、プラズマ処理装置を大型とすることなく、プラズマ処理装置の構造を複雑とすることなく、また、放電パワー密度を低減させることなく、プラズマ処理による半導体ウエハ面内の加工均一性を向上させることのできる技術を提供することにある。

【0012】本発明の前記ならびにその他の目的と新規な特徴は、明細書の記述および添付図面から明らかになるであろう。

【0013】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0014】すなわち、第1の発明は、処理室内にプラ

ズマを形成することにより、前記処理室内の基板電極上に載置された半導体ウエハに対して所定のプラズマ処理を施す半導体製造装置であって、前記所定のプラズマ処理中に、前記半導体ウエハの外周の静電容量を低減するために、前記半導体ウエハの外周位置に半導体ウエハの外周よりも大きな外周を有するとともに、半導体ウエハの外周よりも小さな内周を有する静電容量可変手段を設けた半導体製造装置構造とするものである。

【0015】第2の発明は、前記静電容量可変手段を着脱自在とした半導体製造装置構造とするものである。

【0016】

【作用】上記した第1の発明によれば、半導体ウエハの中央よりも大きくなる半導体ウエハ外周の静電容量を低減するような状態でプラズマ処理を行うことにより、半導体ウエハの周辺の電界強度を低下させることができ、半導体ウエハの面内の電界強度を均一にすることができるので、半導体ウエハの面内のプラズマ密度を均一にすることが可能となる。

【0017】上記した請求項3記載の発明によれば、静電容量可変手段を半導体ウエハの材質や反応ガスの種類等に応じて最適なものに変更することが可能となる。

【0018】

【実施例1】図1は本発明の一実施例である半導体製造装置の断面図、図2および図3は半導体集積回路装置の製造工程における半導体基板の要部断面図、図4の(a)、(b)はそれぞれ本実施例と従来とのプラズマ処理中における半導体基板面内のエッチング速度を比較するグラフ図である。

【0019】本実施例1の半導体製造装置は、例えば図1に示すようなプレーナマグネトロンカソード形のRFバイアススパッタリング装置（以下、単にバイアススパッタ装置という）1aである。

【0020】バイアススパッタ装置1aを構成する処理室2内には、カソード電極（対向電極）3と、アノード電極（基板電極）4とが各々の主面を互いに平行に対向させた状態で設置されている。

【0021】カソード電極3は、GND電源（第2電源）7gに電気的に接続されており、その主面には、ターゲット5が設置されている。本実施例1において、ターゲット5は、例えば二酸化ケイ素（ SiO_2 ）からなる。ただし、ターゲット5は、 SiO_2 に限定されるものではなく種々変更可能である。

【0022】また、カソード電極3の内部には、磁石6が設置されている。中央の磁石6aは、そのN極が対向電極3の主面側に配置されるように設置されている。その磁石6aの周囲の磁石6bは、そのS極が対向電極3の主面側に配置されるように設置されている。

【0023】アノード電極4は、例えば銅（Cu）またはアルミニウム（Al）系の金属からなり、高周波電源（第1電源）7vと電気的に接続されている。アノード

電極4の主面上には、ウエハ用台座8を介して、例えばシリコン（Si）単結晶からなる直径5インチ程度の半導体ウエハ9が載置されている。アノード電極4には、処理に際してカソード電極3よりも低い負のバイアス電位が印加されるように設定されている。

【0024】ウエハ用台座8は、例えば石英からなり、その厚さは、例えば4mm程度である。なお、半導体ウエハ9は、ウエハ用台座8を介さないでアノード電極4上に載置する場合もある。

【0025】ところで、本実施例1においては、アノード電極3の上部において、半導体ウエハ9の外周位置に、外周径が半導体ウエハ9の外周径よりも大きく、かつ、内周径が半導体ウエハ9の外周径よりも小さい環状の静電容量可変手段10が設置されている。

【0026】静電容量可変手段10は、例えばアルミナ等のようなセラミック、石英または樹脂等、アノード電極4の構成材料よりも低誘電率の材料によって構成されている。

【0027】このため、本実施例1のバイアススパッタ装置1aにおいては、半導体ウエハ9の外周縁とアノード電極4との間に形成される静電容量が低減され、半導体ウエハ9の面内における静電容量が均一となる構造になっている。

【0028】そして、これにより、処理中における半導体ウエハ9の外周縁近傍の電界強度が弱められ、半導体ウエハ9の面内の電界強度がほぼ均一となる結果、半導体ウエハ9の面内のプラズマ密度がほぼ均一となり、半導体ウエハ9の面内の加工均一性を向上させることが可能となっている。

【0029】静電容量可変手段10の厚さは、例えば1～2mm程度である。また、半導体ウエハ9の外周から静電容量可変手段10の内周までの長さは、例えば7mm程度である。

【0030】また、本実施例1においては、静電容量可変手段が着脱自在になっている。これにより、静電容量可変手段を、例えば半導体ウエハの材料や反応ガスの種類に応じて交換することが可能となっている。

【0031】なお、図1の11は反応ガスを処理室2内に供給するためのガス供給管を示している。また、12は処理室2内のガスを外部に排気する等のための排気管を示している。

【0032】次に、本実施例1の半導体製造方法を図1～図4によって説明する。

【0033】まず、図1のバイアススパッタ装置1aのアノード電極4上に半導体ウエハ9を載置する。この時の半導体ウエハ9の要部断面図を図2に示す。

【0034】半導体ウエハ9の主面上には、例えば SiO_2 からなる絶縁膜13が堆積されている。絶縁膜13上には、例えばAlからなる配線14がパターンニングされている。

【0035】続いて、処理室2内の空気を排気管12を通じて外部に排気し、処理室2内を真空状態にして、処理室2内の圧力を0.2〜0.3Pa程度にする。

【0036】その後、ガス供給管11を通じて処理室2内に反応ガスを供給する。本実施例1においては、反応ガスとしてアルゴン(Ar)ガス(例えば100sccm)と酸素(O₂)ガス(例えば1sccm以下)との混合ガスを用いる。

【0037】次いで、カソード電極3およびアノード電極4に所定のバイアス電位を供給し、処理室2内の反応ガスを電離して、カソード電極3とアノード電極4との電極間にプラズマを形成する。

【0038】そして、電離されたArイオンをターゲット5に衝突させ、その時にスパッタされたターゲット材料を半導体ウエハ9の主面上に堆積すると同時に、その堆積された絶縁膜の凸部をArイオンによってスパッタエッチングして、図3に示すように、平坦度の高い絶縁膜15を半導体ウエハ9上に堆積する。この時のプラズマシース電圧は、例えば-100〜1000V程度である。

【0039】ところで、本実施例1においては、アノード電極4に静電容量可変手段10を設置したことにより、処理中において、半導体ウエハ9の周縁近傍の静電容量が低減され、半導体ウエハ9の面内の静電容量がほぼ均一となる。

【0040】このため、半導体ウエハ9の面内の電界強度が均一となり、半導体ウエハ9のその面内の近傍に密度の均一なプラズマが形成される結果、半導体ウエハ9の面内においてプラズマ処理による加工が均一に行われる。

【0041】図4の(a)に本実施例1における処理中の半導体ウエハ9の面内におけるエッチング速度を示す。また、図4の(b)に従来における処理中の半導体ウエハ9の面内におけるエッチング速度を示す。本実施例1の場合、エッチング速度が半導体ウエハ9の面内においてほぼ均一となっていることが分かる。

【0042】このように本実施例1によれば、以下の効果を得ることが可能となる。

【0043】(1).バイアススパッタ装置1aのアノード電極4において、半導体ウエハ9の外周位置に、半導体ウエハ9の面内の静電容量を均一にする静電容量可変手段10を設置したことにより、処理時における半導体ウエハ9の面内の電界強度を均一にすることができ、その面内のプラズマ密度を均一にすることができるので、半導体ウエハ9の面内の加工均一性を向上させることが可能となる。

【0044】(2).半導体ウエハ9の面内のプラズマ密度を均一にでき、半導体ウエハ9の中央と外周とのエッチング/デポジション比を均一にすることができるので、半導体ウエハ9の全面に膜質および膜厚の均一な絶縁膜

15を堆積することが可能となる。

【0045】(3).バイアススパッタ装置1aのアノード電極4において、半導体ウエハ9の外周位置に、半導体ウエハ9の面内の静電容量が均一にする、セラミックからなる静電容量可変手段10を設置したことにより、半導体ウエハ9の周辺の温度を高くすることができるので、半導体ウエハ9の外周にも膜質の良好な絶縁膜15を堆積することが可能となる。

【0046】(4).静電容量可変手段10を着脱自在としたことにより、静電容量可変手段10を半導体ウエハ9の材質や反応ガスの種類等に応じて最適なものに変更することが可能となる。すなわち、プロセス条件の変化に柔軟に対応できるので、種々の半導体製造工程および種々の半導体集積回路装置の製造に対応することが可能となる。

【0047】(5).上記(1)〜(4)により、半導体集積回路装置の歩留りおよび信頼性を向上させることが可能となる。

【0048】

20 【実施例2】図5は本発明の他の実施例である半導体製造装置の断面図である。

【0049】本実施例2の半導体製造装置は、例えば図5に示すようなマイクロ波プラズマ源を用いた反応性イオンエッチング装置(以下、プラズマRIE装置という)1bである。なお、RIEは、リアクティブ・イオン・エッチング(Reactive Ion Etching)の略である。

30 【0050】プラズマRIE装置1bを構成する導波管16は、マグネトロン17において発生させたマイクロ波を石英等からなるベルジャ18内に導く構成部である。ベルジャ18の周囲には、電磁石19が設置されている。なお、図5の20は、これから処理する半導体ウエハ9を複数枚収容しておくためのウエハ収容部である。

【0051】ところで、本実施例2においても、プラズマRIE装置1bのアノード電極4に静電容量可変手段10が設置されている。静電容量可変手段10の設置状態は、前記実施例1と同一である。

【0052】したがって、本実施例2においては、半導体ウエハ9の面内におけるエッチング加工の均一性を向上させることが可能となるので、半導体集積回路装置の歩留りおよび信頼性を向上させることが可能となる。

【0053】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例1、2に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0054】例えば前記実施例1、2においては、静電容量可変手段をアノード電極の上部に着脱自在の状態に設置した場合について説明したが、これに限定されるものではなく、例えばウエハ用台座の一部に形成しても良い。

【0055】また、前記実施例1、2においては、枚葉式の半導体製造装置の場合について説明したが、これに限定されるものではなく、例えば図6に示すように、複数枚の半導体ウエハ9を処理するバイアスバック装置1cにも本発明を適用できる。この場合、図6に示すように、静電容量可変手段10は、半導体ウエハ9毎にその各々の外周位置に設置されている。

【0056】また、前記実施例1、2においては、それぞれ本発明をバイアスバック装置およびプラズマR I E装置に適用した場合について説明したが、これに限定されるものではなく、例えばプラズマを用いるC V D (Chemical Vapor Deposition) 装置にも適用することが可能である。

【0057】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0058】(1). 前記第1の発明によれば、半導体ウエハの中央よりも大きくなる半導体ウエハ外周の静電容量を低減するような状態でプラズマ処理を行うことにより、半導体ウエハの周辺の電界強度を低下させることができ、半導体ウエハの面内の電界強度を均一にすることができるので、半導体ウエハの面内のプラズマ密度を均一にすることが可能となる。この結果、プラズマ処理による半導体ウエハの面内の加工均一性を向上させることができるので、半導体集積回路装置の歩留りおよび信頼性を向上させることが可能となる。

【0059】(2). 前記第2の発明によれば、静電容量可変手段を半導体ウエハの材質や反応ガスの種類等に応じて最適なものに変更することが可能となる。すなわち、プロセス条件の変化に柔軟に対応できるので、種々の半導体製造工程および種々の半導体集積回路装置の製造に対応することが可能となる。

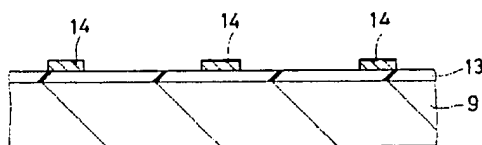
【図面の簡単な説明】

【図1】本発明の一実施例である半導体製造装置の断面図である。

【図2】半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図2】

図 2



【図3】半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図4】(a)、(b)はそれぞれ本実施例と従来とのプラズマ処理中における半導体基板面内のエッチング速度を比較するグラフ図である。

【図5】本発明の他の実施例である半導体製造装置の断面図である。

【図6】本発明の他の実施例である半導体製造装置の断面図である。

10 【符号の説明】

1 a R F バイアスバックリング装置 (半導体製造装置)

1 b 反応性イオンエッチング装置 (半導体製造装置)

1 c R F バイアスバックリング装置 (半導体製造装置)

2 処理室

3 カソード電極 (対向電極)

4 アノード電極 (基板電極)

5 ターゲット

6 磁石

6 a 磁石

6 b 磁石

7 v 高周波電源 (第1電源)

7 g G N D 電源 (第2電源)

8 ウエハ用台座

9 半導体ウエハ

10 静電容量可変手段

11 ガス供給管

12 排気管

13 絶縁膜

14 配線

15 絶縁膜

16 導波管

17 マグネトロン

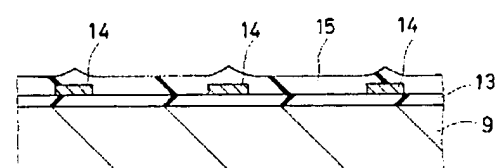
18 ベルジャ

19 電磁石

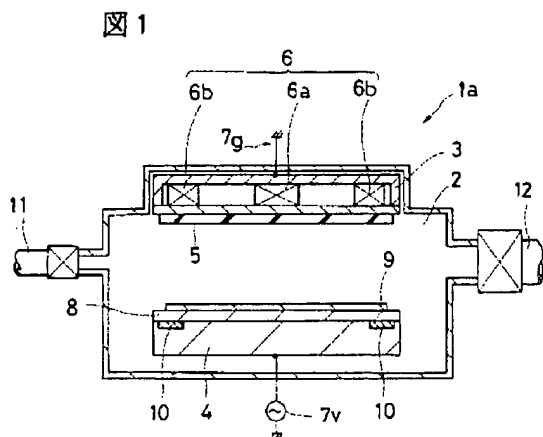
20 ウエハ収容部

【図3】

図 3

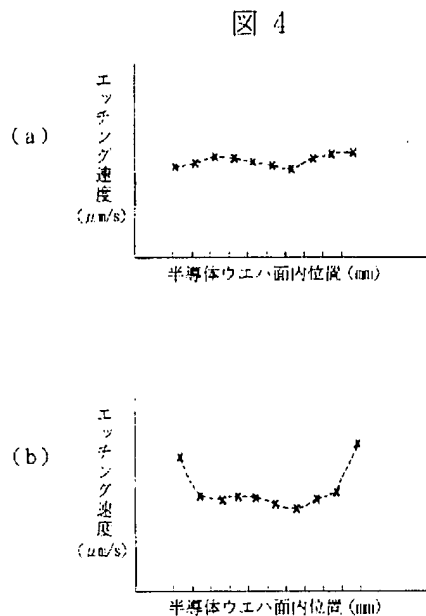


【図1】

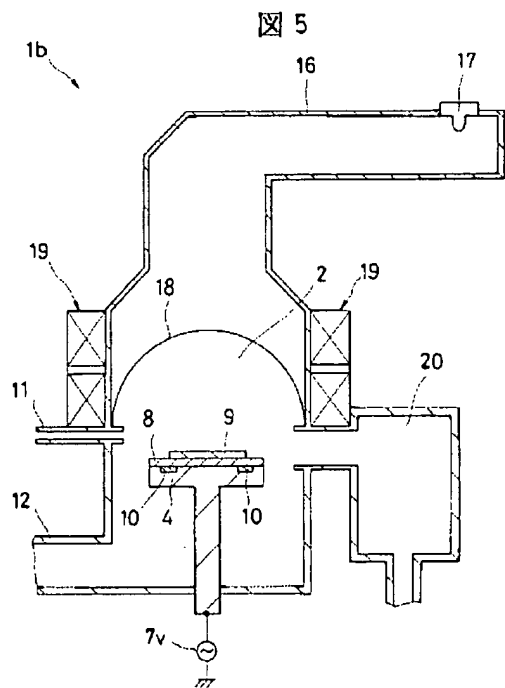


- 1 a : RFバイアスパックリング装置 (半導体製造装置)
 2 : 処理室
 3 : カソード電極 (対向電極)
 4 : アノード電極 (基版電極)
 7 v : 高周波電源 (第1電源)
 7 g : CND電源 (第2電源)
 9 : 半導体ウエハ
 10 : 静電容量可変手段

【図4】

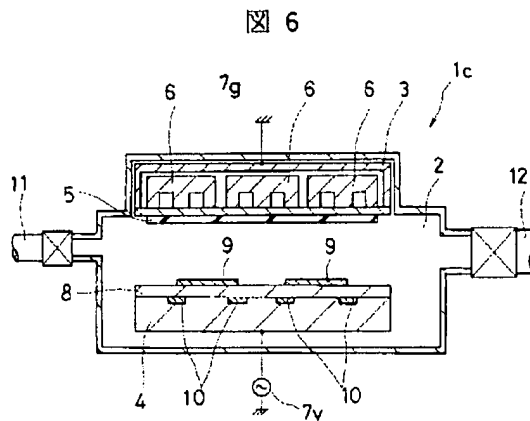


【図5】



1 b : 反バイアスイオンエッチング装置 (半導体製造装置)

【図6】



1 c : RFバイアスパックリング装置 (半導体製造装置)